



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Hirokazu SUGIMOTO et al. : **Confirmation No. 8636**
Serial No. 10/670,510 : **Attn: BOX MISSING PARTS**
Filed September 26, 2003 : **Docket No. 2003_1374A**
SYNCHRONIZATION CIRCUIT :

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

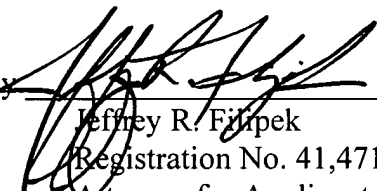
Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2002-283619, filed September 27, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Hirokazu SUGIMOTO et al.

By 
Jeffrey R. Filipek
Registration No. 41,471
Attorney for Applicants

JRF/fs
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
December 30, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月27日
Date of Application:

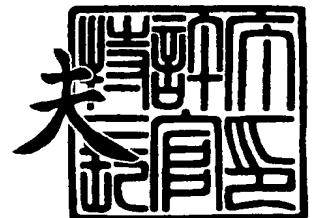
出願番号 特願2002-283619
Application Number:
[ST. 10/C]: [JP 2002-283619]

出願人 松下電器産業株式会社
Applicant(s):

2003年 8月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3062062

【書類名】 特許願

【整理番号】 2037640022

【提出日】 平成14年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 杉本 浩一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岩田 徹

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平田 貴士

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(6395)3251

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期回路

【特許請求の範囲】

【請求項 1】 入力信号、及び該入力信号の転送レートと周波数が等しいクロックを入力とし、該クロックと位相が無関係な上記入力信号を、上記クロックに関して同期化を行う同期回路であって、

上記入力信号の遷移点と上記クロックのエッジとの時間関係に応じて制御信号を出力する状態検知回路と、

上記入力信号に、上記制御信号に基づいた遅延を付加する遅延選択回路と、

上記遅延選択回路から出力された信号を上記クロックに同期させて出力するラッチ回路とを備えた、

ことを特徴とする同期回路。

【請求項 2】 入力信号、及び該入力信号の転送レートと周波数が等しいクロックを入力とし、該クロックと位相が無関係な上記入力信号を上記クロックに関して同期化を行う同期回路であって、

上記入力信号の遷移点と上記クロックのエッジとの時間関係に応じて制御信号を出力する状態検知回路と、

上記クロックに、上記制御信号に基づいた遅延を付加する遅延選択回路と、

上記入力信号を上記遅延選択回路から出力されたクロックに同期させて出力するラッチ回路とを備えた、

ことを特徴とする同期回路。

【請求項 3】 複数の入力信号と、該複数の入力信号の転送レートと周波数が等しいクロックとを入力とし、互いに位相が無関係な上記複数の入力信号を上記クロックに関して同期化を行う同期回路であって、

上記複数の入力信号の各々の遷移点の時間関係に応じて該各入力信号に関する制御信号を出力する状態検知回路と、

上記複数の各入力信号に、上記各制御信号に基づいた遅延を付加する遅延選択回路と、

上記遅延選択回路から出力された各信号を上記クロックに同期化させて出力す



るラッチ回路とを備えた、

ことを特徴とする同期回路。

【請求項 4】 互いに同期のとれた複数の入力信号と、該複数の入力信号の転送レートと周波数が等しい 1 本のクロックとを 1 組とする信号束を、複数入力し、互いに位相が無関係な上記複数の信号束に対して、該各信号束に含まれるクロックから選択された 1 本の同期用クロックを用いて、上記複数の各信号束に含まれる各複数の入力信号相互間の同期化を行う同期回路であって、

上記各信号束に含まれる各複数の入力信号間の状態を検知する状態検知回路と

、
上記各信号束に含まれるクロックを入力とし、上記状態検知回路による各信号束間の状態検知結果に基づいて、該各入力クロックのうちの 1 つのクロックを、同期用クロックとして選択するクロック選択回路と、

上記信号束毎に、該各信号束に含まれる複数の入力信号に、上記各信号束間の状態検知結果に基づいた遅延を付加する遅延選択回路と、

上記各信号束毎の遅延選択回路からの出力信号を、上記同期用クロックに同期化させて出力するラッチ回路とを備えた、

ことを特徴とする同期回路。

【請求項 5】 請求項 4 に記載の同期回路において、

上記状態検知回路は、

上記各信号束間の早遅関係を検知し、早遅検知信号を出力する早遅検知回路と

、
上記各信号束間の重複期間を検知し、重複検知信号を出力する重複検知回路とを備え、

上記クロック選択回路は、上記早遅検知信号に基づいて上記各信号束のうち、入力が早いと検知された信号束のクロックを上記同期用クロックとして選択するものであり、

上記遅延選択回路は、上記各信号束に含まれる複数の入力信号に、上記早遅検知信号、及び上記重複検知信号に基づいた遅延を付加するものである、

ことを特徴とする同期回路。

【請求項 6】 請求項 1 に記載の同期回路において、
上記遅延選択回路は、
上記入力信号に遅延を付加する遅延回路と、
上記制御信号に基づいて、上記入力信号または上記遅延回路の出力信号のいずれかを選択する選択回路とを備えた、
ことを特徴とする同期回路。

【請求項 7】 請求項 2 に記載の同期回路において、
上記遅延選択回路は、
上記入力クロックに遅延を付加する遅延回路と、
上記制御信号に基づいて、上記入力クロックまたは上記遅延回路の出力クロックのいずれかを選択する選択回路とを備えた、
ことを特徴とする同期回路。

【請求項 8】 請求項 3 に記載の同期回路において、
上記遅延選択回路は、
上記各入力信号に遅延を付加する遅延回路と、
上記各制御信号に基づいて、上記複数の各入力信号またはこれに対応する上記遅延回路の出力信号のいずれかを選択し出力する選択回路とを備えた、
ことを特徴とする同期回路。

【請求項 9】 請求項 1 ないし請求項 5 のいずれか 1 項に記載の同期回路において、
上記状態検知回路は、
上記入力信号と同期して入力されるプリアンプル検知信号により状態検知を行うものである、
ことを特徴とする同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル信号伝送装置における、非同期で入力される信号をクロックに同期させる同期回路に関するものである。

【 0 0 0 2 】

【従来の技術】

従来の同期回路は、非同期で入力する信号を同期クロックに同期させて出力するものであり（特許文献 1 参照）、図 1 7 を用いて以下に説明する。

図 1 7 は、従来の同期回路の構成を示すブロック図である。

図 1 7 において、フリップフロップ 1 は、同期用クロック S C K に対して非同期である入力信号 S I N と、同期用クロック S C K を反転させた信号である反転クロック n S C K とを入力とし、反転クロック n S C K の立上りのタイミングで上記入力信号 S I N を保持し出力する。フリップフロップ 2 は、入力信号 S I N と同期用クロック S C K とを入力とし、同期用クロック S C K の立上りのタイミングで上記入力信号 S I N を保持し出力する。フリップフロップ 3 は、選択回路（セレクト） 4 で選択された信号と同期用クロック S C K とを入力とし、同期用クロック S C K の立上りのタイミングで同期信号 S O U T を出力する。選択回路 4 は、選択制御回路 6 から出力された制御信号 C T L に基づいてフリップフロップ 1 の出力、またはフリップフロップ 2 の出力、のいずれかを選択しフリップフロップ 3 へ出力する。インバータ 5 は、同期用クロック S C K を反転させ、反転クロック n S C K としてフリップフロップ 1 に出力する。選択制御回路 6 は、入力信号 S I N の遷移点と同期用クロック S C K のエッジとの時間関係に応じて制御信号 C T L を出力する。

【 0 0 0 3 】

以上のように構成された同期回路の動作について説明する。

同期クロック S C K に対して非同期である信号 S I N は、フリップフロップ 1、2 の各データ端子 D に入力される。

フリップフロップ 1 では、同期用クロック S C K をインバータ 5 にて反転したものである反転クロック n S C K がクロック入力端子 C K を介して入力されると、該反転クロック n S C K の立上りのタイミングで上記データ端子 D を介して入力された入力信号 S I N をラッチし、データ出力端子 Q からセレクト 4 へ出力する。

【 0 0 0 4 】

また、フリップフロップ2では、同期用クロック S C K がクロック入力端子 C K を介して入力されると、該同期用クロック S C K の立上りのタイミングで上記データ端子 D を介して入力された入力信号 S I N をラッチし、データ出力端子 Q からセクタ 4 へ出力する。

【0005】

一方、上記入力非同期信号 S I N の遷移点と上記同期用クロック S C K のエッジとの関係が所定の時間以下に近づいたとき、選択制御回路 6 からセクタ 4 に対し選択制御信号 C T L が出力される。

セクタ 4 では、上記選択制御信号 C T L に基づいて上記フリップフロップ 1 の出力、または上記フリップフロップ 2 の出力、のいずれかを選択し、フリップフロップ 3 のデータ端子 D に入力する。

【0006】

フリップフロップ 3 では、上記セクタ 4 により選択された信号を上記同期用クロック S C K の立上りのタイミングでラッチし、同期信号 S O U T をデータ出力端子 Q から出力する。

このように、同期用クロック S C K に対して非同期である入力信号 S I N を、該同期用クロック S C K に関して同期することができる。

【0007】

【特許文献 1】

特開平 5-327676 号公報

【0008】

【発明が解決しようとする課題】

しかしながら、非同期信号 S I N の遷移点が同期用クロック S C K のエッジと近接したことを選択制御回路 6 が判定したときには、すでに選択回路 4 から反転クロック n S C K でラッチされた信号が出力され、第 3 のフリップフロップ 3 では再度同期クロック S C K でラッチを行うためレイテンシが付加されてしまうという問題があった。

【0009】

また、近年の多チャンネルデジタル伝送においては非同期信号が複数本入力



されることも多く、それら複数の信号が高速になるに従い信号間のスキューがデータ転送において問題となる。しかし、従来の技術では、信号毎にレイテンシが付加される可能性があるため、誤りのない信号同期を行う必要のあるデータ転送では、大きな問題となる。

そこで、本発明は上記問題点を解消するためになされたものであり、レイテンシの付加を防止し、回路規模を抑えた同期回路を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記課題を解決するために、本発明の請求項1にかかる同期回路は、入力信号、及び該入力信号の転送レートと周波数が等しいクロックを入力とし、該クロックと位相が無関係な上記入力信号を上記クロックに関して同期化を行う同期回路であって、上記入力信号の遷移点と上記クロックのエッジとの時間関係に応じて制御信号を出力する状態検知回路と、上記入力信号に、上記制御信号に基づいた遅延を付加する遅延選択回路と、上記遅延選択回路から出力された信号を上記クロックに同期させて出力するラッチ回路とを備えたことを特徴とするものである。

【0011】

また、本発明の請求項2にかかる同期回路は、入力信号、及び該入力信号の転送レートと周波数が等しいクロックを入力とし、該クロックと位相が無関係な上記入力信号を上記クロックに関して同期化を行う同期回路であって、上記入力信号の遷移点と上記クロックのエッジとの時間関係に応じて制御信号を出力する状態検知回路と、上記クロックに、上記制御信号に基づいた遅延を付加する遅延選択回路と、上記入力信号を上記遅延選択回路から出力されたクロックに同期させて出力するラッチ回路とを備えた、ことを特徴とするものである。

【0012】

また、本発明の請求項3にかかる同期回路は、複数の入力信号と、該複数の入力信号の転送レートと周波数が等しいクロックとを入力とし、互いに位相が無関係な上記複数の入力信号を上記クロックに関して同期化を行う同期回路であって、上記複数の入力信号の各々の遷移点の時間関係に応じて該各入力信号に関する



制御信号を出力する状態検知回路と、上記複数の各入力信号に、上記各制御信号に基づいた遅延を付加する遅延選択回路と、上記遅延選択回路から出力された各信号を上記クロックに同期化させて出力するラッチ回路とを備えたことを特徴とするものである。

【0013】

また、本発明の請求項4にかかる同期回路は、互いに同期のとれた複数の入力信号と、該複数の入力信号の転送レートと周波数が等しい1本のクロックとを1組とする信号束を、複数入力し、互いに位相が無関係な上記複数の信号束に対して、該各信号束に含まれるクロックから選択された1本の同期用クロックを用いて、上記複数の各信号束に含まれる各複数の入力信号相互間の同期化を行う同期回路であって、上記各信号束に含まれる各複数の入力信号間の状態を検知する状態検知回路と、上記各信号束に含まれるクロックを入力とし、上記状態検知回路による各信号束間の状態検知結果に基づいて、該各入力クロックのうちの1つのクロックを、同期用クロックとして選択するクロック選択回路と、上記信号束毎に、該各信号束に含まれる複数の入力信号に、上記各信号束間の状態検知結果に基づいた遅延を付加する遅延選択回路と、上記各信号束毎の遅延選択回路からの出力信号を、上記同期用クロックに同期化させて出力するラッチ回路とを備えた、ことを特徴とするものである。

【0014】

また、本発明の請求項5にかかる同期回路は、請求項4に記載の同期回路において、上記状態検知回路は、上記各信号束間の早遅関係を検知し、早遅検知信号を出力する早遅検知回路と、上記各信号束間の重複期間を検知し、重複検知信号を出力する重複検知回路とを備え、上記クロック選択回路は、上記早遅検知信号に基づいて上記各信号束のうち、入力が早いと検知された信号束のクロックを上記同期用クロックとして選択するものであり、上記遅延選択回路は、上記各信号束に含まれる複数の入力信号に、上記早遅検知信号、及び上記重複検知信号に基づいた遅延を付加するものであることを特徴とするものである。

【0015】

また、本発明の請求項6にかかる同期回路は、請求項1に記載の同期回路にお



いて、上記遅延選択回路は、上記入力信号に遅延を付加する遅延回路と、上記制御信号に基づいて、上記入力信号または上記遅延回路の出力信号のいずれかを選択する選択回路とを備えたことを特徴とするものである。

【0016】

また、本発明の請求項7にかかる同期回路は、請求項2に記載の同期回路において、上記遅延選択回路は、上記入力クロックに遅延を付加する遅延回路と、上記制御信号に基づいて、上記入力クロックまたは上記遅延回路の出力クロックのいずれかを選択する選択回路とを備えたことを特徴とするものである。

【0017】

また、本発明の請求項8にかかる同期回路は、請求項3に記載の同期回路において、上記遅延選択回路は、上記各入力信号に遅延を付加する遅延回路と、上記各制御信号に基づいて、上記複数の各入力信号またはこれに対応する上記遅延回路の出力信号のいずれかを選択し出力する選択回路とを備えたことを特徴とするものである。

【0018】

また、本発明の請求項9にかかる同期回路は、請求項1ないし請求項5のいずれか1項に記載の同期回路において、上記状態検知回路は、上記入力信号と同期して入力されるプリアンプル検知信号により状態検知を行うものであることを特徴とするものである。

【0019】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しながら説明する。なお、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

【0020】

(実施の形態1)

以下、本発明の実施の形態1にかかる同期回路について図1及び図2を用いて説明する。

図1は、入力信号SINの波形図を示したものであり、期間Tsは信号SIN

のセットアップ・ホールドタイムが保障されている信号確定期間であり、期間 T_d は信号 SIN の遷移点付近の信号不確定期間を示している。

【0021】

図2は、本実施の形態1による同期回路の構成を示したブロック図である。

図2において、本同期回路は、入力信号 SIN の遷移点と同期用クロック CLK のエッジとの時間関係に応じて制御信号 CTL を出力する状態検知回路102と、上記入力信号 SIN に、上記制御信号 CTL に基づいた遅延を付加する遅延選択回路101と、上記遅延選択回路101の出力信号 SD を上記同期用クロック CLK に同期させ、同期信号 OUT として出力するラッチ回路（フリップフロップ）103とを備えたものである。なお、上記状態検知回路102は、例えば図5に示すように、入力信号 SIN に遅延を付加する遅延回路104と、入力信号 SIN と遅延回路104の出力信号 DS_i とを入力とし、信号 S_{xor} を出力するXOR回路105と、XOR回路105の出力信号 S_{xor} と同期用クロック CLK とを入力とし、制御信号 CTL を出力するフリップフロップ106とを備えた回路として実現可能である。

【0022】

遅延選択回路101は、入力信号 SIN に遅延を付加する遅延回路111と、制御信号 CTL に基づいて、入力信号 SIN 、または上記遅延回路111の出力信号 $DSIN$ のいずれかを選択し出力する2:1セクタである選択回路112とを備えたものである。

【0023】

以上のように構成された同期回路の動作について図3及び図4を用いて説明する。

入力信号 SIN は、遅延選択回路101及び状態検知回路102に入力され、同期用クロック CLK は、状態検知回路102及びフリップフロップ103に入力される。なお、入力信号 SIN の転送レートと入力クロック CLK の周波数は等しいが、入力信号 SIN と入力クロック CLK の位相は無関係である。

【0024】

まず、遅延選択回路101では、遅延回路111において、入力信号 SIN に

遅延を付加し、該遅延を付加した信号DSINを選択回路112に出力する。

一方、状態検知回路102では、同期用クロックSCKのエッジが入力信号SINに対して十分なセットアップ・ホールドタイムが保障されない期間、つまり、図1に示した信号不確定期間Td内に存在するか、またはそれ以外の信号確定期間Tsに存在するかの検知を、同期用クロックSCKと入力信号SINとの位相比較により行う。

【0025】

上記位相比較の結果、図3に示すように、同期用クロックSCKのエッジe11が入力信号SINのデータd11の信号確定期間Ts内に存在すると検知した場合、制御信号CTLはLowのままで、遅延選択回路101に出力されない。従って、遅延選択回路101の選択回路112では、入力信号SINを選択し、信号SDとしてフリップフロップ103に出力する。そして、フリップフロップ103では、遅延選択回路101から出力された信号SDのデータd11を同期用クロックSCKに同期し、出力信号SOUTとして出力する。

【0026】

また、上記位相比較の結果、図4に示すように、同期用クロックSCKのエッジe12が入力信号SINのデータd12の信号不確定期間Tdに存在すると検知した場合、制御信号CTLがLowからHighとなり遅延選択回路101に出力される。そして、遅延選択回路101の選択回路112では、遅延回路111の出力信号、つまり、入力信号SINに遅延時間Tde1を付加した信号DSINが選択され、信号SDとしてフリップフロップ103に出力される。そして、フリップフロップ103では、遅延選択回路101から出力された信号SDのデータd12を同期用クロックSCKのエッジe13でラッチし、出力信号SOUTとして出力する。

【0027】

なお、上記状態検知回路102からの出力がHighのとき選択回路112の動作を切り替える場合について説明したが、本発明はこの記述に限定するものではない。

【0028】



このような実施の形態 1 による同期回路では、入力信号 S I N の遷移点と同期用クロック S C K のエッジとの時間関係に応じて制御信号 C T L を出力する状態検知回路 1 0 2 と、上記入力信号 S I N に、上記制御信号 C T L に基づいた遅延を付加する遅延選択回路 1 0 1 と、上記遅延選択回路 1 0 1 から出力された信号 S D を上記同期用クロック S C K に同期させて出力するラッチ回路 1 0 3 とを備えたことより、従来のように入力信号の反転をとる必要がないため、入力信号 S I N の信号不確定期間と同期用クロック S C K のエッジとの時間関係を考慮することなく、入力信号 S I N を同期用クロック S C K に同期化することができ、その結果、レイテンシを付加することなく上記同期化を行える同期回路を簡単な構成で実現可能である。

【0029】

(実施の形態 2)

以下に、本発明の実施の形態 2 にかかる同期回路について図 6 を用いて説明する。

図 6 は、本実施の形態 2 による同期回路の構成を示すブロック図である。

図 6 において、本同期回路は、入力信号 S I N の遷移点と入力クロック C K のエッジとの時間関係に応じて制御信号 C T L を出力する状態検知回路 2 0 2 と、上記入力クロック C K に、上記制御信号 C T L に基づいた遅延を付加する遅延選択回路 2 0 1 と、上記入力信号 S I N を上記遅延選択回路 2 0 1 により選択されたクロック S C K に同期させ、同期信号 S O U T として出力するフリップフロップ 2 0 3 と、を備えたものである。なお、上記状態検知回路 2 0 2 は、図 5 に示す回路により実現することが可能である。

【0030】

遅延選択回路 2 0 1 は、入力クロック C K に遅延を付加する遅延回路 2 1 1 と、上記制御信号 C T L に基づいて、上記入力クロック C K、または上記遅延回路 2 1 1 の出力クロック D C K のいずれかを選択し出力する 2 : 1 セレクタである選択回路 2 1 2 とを備えたものである。

【0031】

以上のように構成された同期回路の動作について説明する。



入力信号 S I N は、状態検知回路 202 及びフリップフロップ 203 に入力され、入力クロック C K は、状態検知回路 202 及び遅延選択回路 201 に入力される。なお、入力信号 S I N の転送レートと入力クロック S C K の周波数は等しいが、入力信号 S I N と入力クロック S C K の位相は無関係である。

【0032】

まず、遅延選択回路 201 では、遅延回路 211 において、入力クロック C K に遅延を付加し、該遅延を付加したクロック D C K を選択回路 212 に出力する。

一方、状態検知回路 202 では、入力クロック C K のエッジが入力信号 S I N に対して十分なセットアップ・ホールドタイムが保障されない期間、つまり、図 1 に示した信号不確定期間 T d 内に存在するか、またはそれ以外の信号確定期間 T s に存在するかの検知を、入力クロック C K と入力信号 S I N との位相比較により行う。

【0033】

上記位相比較の結果、図 7 に示すように、入力クロックのエッジ e 21 が入力信号 S I N のデータ d 21 の信号確定期間 T s 内に存在すると検知した場合、制御信号 C T L は L o w のままで遅延選択回路 201 に出力されない。従って、遅延選択回路 201 の選択回路 212 では、入力クロック C K を選択し、同期用信号 S C K としてフリップフロップ 203 に出力する。そして、フリップフロップ 203 では、入力信号 S I N のデータ d 21 を同期用クロック S C K に同期し、信号 S O U T として出力する。

【0034】

また、上記位相比較の結果、図 8 に示すように、入力クロックのエッジ e 22 が入力信号 S I N のデータ d 22 の信号不確定期間 T d に存在すると検知した場合、制御信号 C T L は L o w から H i g h となり、遅延選択回路 201 に出力される。従って、遅延選択回路 201 の選択回路 212 では、入力クロック C K を選択し、遅延回路 211 の出力信号、つまり、入力クロック C K に遅延時間 T d e 1 を付加したクロック D C K が選択され、同期用クロック S C K としてフリップフロップ 203 に出力される。そして、フリップフロップ 203 では、入力信

号 S I N のデータ d 2 2 を遅延選択回路 2 0 1 から出力されたクロック S C K のエッジ e 2 3 でラッチし、出力信号 S O U T として出力する。

【0035】

なお、上記状態検知回路 2 0 2 からの出力が H i g h のとき選択回路 2 1 2 の動作を切り替える場合について説明したが、本発明は必ずしもこれに限定されるものではない。

【0036】

このような実施の形態 2 による同期回路では、入力信号 S I N の遷移点とクロック C K のエッジとの時間関係に応じて制御信号 C T L を出力する状態検知回路 2 0 2 と、上記クロック C K に、上記制御信号 C T L に基づいた遅延を付加する遅延選択回路 2 0 1 と、上記入力信号 S I N を上記遅延選択回路から出力されたクロック S C K に同期させて出力するラッチ回路 2 0 3 とを備えたことより、従来のように入力信号の反転をとる必要がないため、入力信号 S I N の信号不確定期間と同期用クロック S C K のエッジとの時間関係を考慮することなく、入力信号 S I N を同期用クロック S C K に同期化することができ、その結果、レイテンシを付加することなく上記同期化を行える同期回路を簡単な構成で実現可能である。

【0037】

(実施の形態 3)

以下に、本発明の実施の形態 3 にかかる同期回路について図 9 を用いて説明する。

図 9 は、本実施の形態 3 による同期回路の構成を示すブロック図である。

図 9 において、本同期回路は、第 1 の入力信号 S I N 1、第 2 の入力信号 S I N 2 の各々の遷移点と同期用クロック S C K のエッジとの時間関係に応じて第 1 の制御信号 C T L 1、第 2 の制御信号 C T L 2 を出力する状態検知回路 3 0 3 と、上記第 1 の入力信号 S I N 1 に、上記第 1 の制御信号 C T L 1 に基づいた遅延を付加する遅延選択回路 3 0 1 と、上記第 2 の入力信号 S I N 2 に、上記第 2 の制御信号 C T L 2 に基づいた遅延を付加するかどうかを選択する遅延選択回路 3 0 2 と、上記遅延選択回路 3 0 1 の出力信号を上記同期用クロック S C K に同期

させ、第1の同期信号SOUTとして出力するフリップフロップ304と、上記遅延選択回路302の出力信号を上記同期用クロックSCKに同期させ、第2の同期信号SOUT2として出力するフリップフロップ305と、を備えたものである。なお、上記状態検知回路303は、図5に示す回路により実現することが可能である。

【0038】

また、遅延選択回路301は、第1の入力信号SIN1に遅延を付加する遅延回路311と、第1の制御信号CTL1に基づいて、上記第1の入力信号SIN1、または上記遅延回路311の出力信号DSINのいずれかを選択し出力する2:1セレクタである選択回路312とを備えたものである。

【0039】

遅延選択回路302は、第2の入力信号SIN2に遅延を付加する遅延回路321と、上記第2の制御信号CTL2に基づいて、上記第2の入力信号SIN2、または上記遅延回路321の出力信号DSIN2のいずれかを選択し出力する2:1セレクタである選択回路322と、を備えたものである。

【0040】

以上のように構成された同期回路の動作について説明する。

第1の入力信号SIN1は遅延選択回路301及び状態検知回路303に入力され、第2の入力信号SIN2は遅延選択回路302及び状態検知回路303に入力され、同期用クロックSCKは状態検知回路303、フリップフロップ304、及びフリップフロップ305に入力される。なお、各入力信号SIN1、SIN2の転送レートと入力クロックSCKの周波数は等しいが、各入力信号SIN1、SIN2と入力クロックSCKの位相は無関係である。

【0041】

まず、遅延選択回路301では、遅延回路311において、第1の入力信号SIN1に遅延を付加し、該遅延を付加した信号DSINを選択回路312に出力する。また、遅延選択回路302では、遅延回路321において、第2の入力信号SIN2に遅延を付加し、該遅延を付加した信号DSINを選択回路322に出力する。

【0042】

一方、状態検知回路303では、同期用クロックSCKのエッジが、入力された第1の入力信号SIN1と第2の入力信号SIN2のそれぞれの信号不確定期間Tdに存在するか、信号確定期間Tsに存在するかの検知を、同期用クロックSCKと各入力信号SIN1、SIN2との位相比較により行う。

【0043】

上記位相比較の結果、同期用クロックSCKのエッジが第1の入力信号SIN1の信号不確定期間Tdに存在すると検知した場合、第1の制御信号CTL1を遅延選択回路301に出力する。そして、遅延選択回路301の選択回路312では、上記第1の制御信号CTL1の入力により、遅延回路311の出力信号DSIN1を選択し、信号SD1としてフリップフロップ304に出力し、フリップフロップ304では、遅延選択回路301からの出力信号SDを同期用クロックSCKのエッジでラッチし、出力信号SOUT1として出力する。

【0044】

また、同期用クロックSCKのエッジが第1の入力信号SIN1の信号確定期間Tsに存在すると検知した場合、第1の制御信号CTL1は遅延選択回路301に出力されないため、選択回路312では第1の入力信号SIN1が選択され、信号SD1としてフリップフロップ304に出力される。

【0045】

また、同期用クロックSCKのエッジが第2の入力信号SIN2の信号不確定期間Tdに存在すると検知した場合、第2の制御信号CTL2を遅延選択回路302に出力する。そして、遅延選択回路302の選択回路322では、上記第2の制御信号CTL2の入力により、遅延回路321の出力信号DSIN2を選択し、信号SD2として第2のフリップフロップ305に出力し、フリップフロップ305では、遅延選択回路302からの出力信号SDを同期用クロックSCKのエッジでラッチし、出力信号SOUT2として出力する。

【0046】

また、同期用クロックSCKのエッジが第2の入力信号SIN2の信号確定期間Tsに存在すると検知した場合、第2の制御信号CTL2は遅延選択回路30

2に出力されないので、選択回路322では第2の入力信号SIN2が選択され、信号SD2としてフリップフロップ305に出力される。

なお、上記説明では入力信号を2本としたが、これは2本以上の任意の本数とすることができる。このとき、状態検知回路303における状態検知回路数も信号数によって変化する。

【0047】

このような実施の形態3による同期回路は、入力信号SIN1、SIN2の各々の遷移点の時間関係に応じて該各入力信号SIN1、SIN2に関する制御信号CTL1、CTL2を出力する状態検知回路303と、上記各入力信号SIN1、SIN2に、上記各制御信号CTL1、CTL2に基づいた遅延を付加する遅延選択回路302と、上記遅延選択回路302から出力された信号SD1、SD2の各々を上記クロックSCKに同期化するラッチ回路304、305とを備えるものとしたので、従来のように各入力信号SIN1、SIN2の反転をとる必要がないため、各入力信号SIN1、SIN2の信号不確定期間と同期用クロックSCKのエッジとの時間関係を考慮することなく、第1の入力信号SIN1および第2の入力信号SIN2を同期用クロックSCKに同期化することができ、レイテンシを付加することなく上記同期化を行える同期回路を簡単な構成で実現可能である。

【0048】

(実施の形態4)

以下に、本発明の実施の形態4による同期回路について図10を用いて説明する。なお、本同期回路には、互いに同期のとれた複数の入力信号と該複数の入力信号の転送レートと周波数が等しい1本のクロックとを1組とする信号束が本同期回路に複数入力されるが、ここでは便宜上、1つの入力信号と1つのクロックを1組とする信号束を示している。

【0049】

図10は、本実施の形態4による同期回路の構成を示すブロック図である。図において、SIN-1は第1の信号束に含まれるうちの一つの信号であり、CK1は第1の信号束に含まれるクロックである。また、SIN-2は第2の信号束

に含まれるうちの一つの信号であり、CK2は第2の信号束に含まれるクロックである。

【0050】

図10において、本同期回路は、各信号束に含まれる第1の入力信号SIN-1と第2の入力信号SIN-2の間の状態を検知する状態検知回路401と、該状態検知回路401による各信号束間の状態検知結果に基づいて、第1の入力クロックCK1、または第2の入力クロックCK2のいずれかを選択し、同期用クロックSCKとして出力するクロック選択回路402と、第1の入力信号SIN-1に、上記各信号束間の状態検知結果に基づいた遅延を付加し、信号SD11として出力する遅延選択回路403と、第2の入力信号SIN-2に、上記各信号束間の状態検知結果に基づいた遅延を付加し、信号SD21として出力する遅延選択回路404と、信号SD11を同期用クロックSCKに同期させ、同期信号SOUT11として出力するフリップフロップ405と、信号SD21を同期用クロックSCKに同期させ、同期信号SOUT21として出力するフリップフロップ406とを備えたものである。

【0051】

状態検知回路401は、図12に示すように、各信号束間（SIN-1、SIN-2）間の早遅関係を検知する早遅検知回路407と各信号束間（SIN-1、SIN-2）間の重複期間を検知する重複検知回路408とを備えたものである。

【0052】

早遅検知回路407は、図13に示すように、第1の入力信号SIN-1を入力とするフリップフロップ444と、第2の入力信号SIN-2を入力とするフリップフロップ445とを備え、入力信号が早く入力されたフリップフロップが、もう一方のフリップフロップに対して入力停止を示す信号Ki1またはKi2を出力し、第1の入力信号SIN-1が早く入力された場合は早遅検知信号Fa1が出力され、第2の入力信号SIN-2が早く入力された場合は早遅検知信号Fa2が出力される。

【0053】



重複検知回路 408 は、図 14 に示すように、第 1 の入力信号 $SIN-1$ に遅延を付加する遅延回路 421 と、第 2 の入力信号 $SIN-2$ に遅延を付加する遅延回路 422 と、第 1 の入力信号 $SIN-1$ と遅延回路 422 の出力信号とを入力とする AND 回路 426 と、第 2 の入力信号 $SIN-2$ と遅延回路 421 の出力信号とを入力とする AND 回路 427 と、AND 回路 426 の出力信号と AND 回路 427 の出力信号とを入力とする AND 回路 428 と、フリップフロップ 423 の出力信号とフリップフロップ 424 の出力信号とを入力とする XOR 回路 429 と、AND 回路 426 の出力信号を入力とするフリップフロップ 423 と、AND 回路 427 の出力信号を入力とするフリップフロップ 424 と、AND 回路 428 の出力信号を入力とするフリップフロップ 428 とを備えたものである。

【0054】

第 1 の遅延選択回路 403 は、図 15 に示すように、第 1 の入力信号 $SIN-1$ と第 1 のクロック信号 $CK1$ を入力とし、信号 AD を出力するフリップフロップ 431 と、フリップフロップ 431 の出力信号 AD と第 1 のクロック信号 $CK1$ とを入力とし、信号 BD を出力するフリップフロップ 432 と、早遅検知信号 $Fa1$ または重複検知信号 $ov1$ のいずれかが入力された場合はフリップフロップ 432 の出力信号 BD を選択し、入力されない場合はフリップフロップ 431 の出力信号 AD を選択し出力する選択回路 433 と、選択回路 433 の出力信号 $SIN-S1$ に遅延時間 $Tdelay$ を付加し遅延付加信号 $SIN-D1$ として出力する遅延回路 435 と、重複検知信号 $So1$ が入力されない場合は選択回路 433 の出力信号 $SIN-S1$ を選択し、重複検知信号 $So1$ が入力された場合は遅延回路 435 の出力信号 $SIN-D1$ を選択し出力する選択回路 434 とを備えたものである。なお、選択回路 433 と選択回路 434 は、2:1 セレクタである。

【0055】

以上のように構成された同期回路の動作について説明する。

第 1 の入力信号 $SIN-1$ は遅延選択回路 403 及び状態検知回路 401 に入力され、第 2 の入力信号 $SIN-2$ は遅延選択回路 404 及び状態検知回路 40

1に入力され、第1の入力クロックCK1は遅延選択回路403及びクロック選択回路402に入力され、第2の入力クロックCK2は遅延選択回路404及びクロック選択回路402に入力される。なお、第1の入力信号SIN-1と第1の入力クロックCK1、第2の入力信号SIN-2と第2の入力クロックは、図11に示すように、互いに同期して入力されるが、第1の入力信号SIN-1と第2の入力信号SIN-2は非同期である。また、データd41とデータd42が同期をかけたい信号である。

【0056】

まず、状態検知回路401の早遅検知回路407では、第1の入力信号SIN-1と第2の入力信号SIN-2との早遅関係を検知し、第1の入力信号SIN-1が早い場合は検知信号Fa1をクロック選択回路402に出力し、第2の入力信号SIN-2が早い場合は検知信号Fa2をクロック選択回路402に出力する。そして、クロック選択回路402では、検知信号Fa1が入力された場合は第1の入力クロックCK1を、検知信号Fa2が入力された場合は第2の入力クロックCK2を、同期用クロックSCKとして第1のフリップフロップ405及び第2のフリップフロップ406に出力する。

【0057】

一方、状態検知回路401の重複検知回路408では、第1の入力信号SIN-1と第2の入力信号SIN-2の重複期間を検知し、重複期間が遅延期間Ts_o以上の場合、検知信号Ov1を第1の遅延選択回路403に、検知信号Ov2を第2の遅延選択回路404に出力する。また、重複期間が遅延期間Ts_oより少ない場合、検知信号So1を第1の遅延選択回路403に、検知信号So2を第2の遅延選択回路404に出力する。

【0058】

そして、第1の遅延選択回路403では、選択回路433に状態検知回路401からの検知信号Ov1または検知信号Fa1のいずれかが入力された場合、フリップフロップ432の出力信号BDを出力し、そうでない場合はフリップフロップ431の出力信号ADを出力する。また、選択回路434に検知信号So1が入力された場合、遅延回路435の出力信号SIN-D1を信号SD11とし

て第1のフリップフロップ405に出力し、そうでない場合は選択回路433の出力信号SIN-S1を信号SD11として出力する。そして、第1のフリップフロップ405では、遅延選択回路403の出力信号SD11に対しクロック選択回路402から出力された同期用クロックSCKにより同期をかけ、同期信号SOUT11として出力する。

【0059】

また、第2の遅延選択回路404では、状態検知回路401の出力信号Ov2、So2、Fa2により上記第1の遅延選択回路403と同様に制御され、信号SD21が第2のフリップフロップ406に出力される。そして、第2のフリップフロップ406では、遅延選択回路404の出力信号SD21に対しクロック選択回路402から出力された同期用クロックSCKにより同期をかけ、同期信号SOUT21として出力する。

【0060】

このようにして互いに非同期で入力された第1の信号束SIN-1と第2の信号束SIN-2に対し同期をかけるとともに、同期をかけたいデータが図16に示すように重複期間がない場合であっても同期をかけ、画像などのずれが生じるのを防ぐことができる。

【0061】

なお、上記説明では、入力信号を2本としたが、これは2本以上の任意の本数とすることができる。また、各入力信号に同期して入力するクロックもまた2本以上の任意とすることができる。この様に上記構造において、上記機能を満たす限り、入力信号およびクロックは自由であり、上記説明が本発明を限定するものではない。

【0062】

このような実施の形態4による同期回路では、互いに同期のとれた複数の入力信号と、該複数の入力信号の転送レートと周波数が等しい1本のクロックとを1組とする複数の信号束を入力とし、互いに位相が無関係な2つの信号束に含まれる各複数の入力信号間の状態を検知する状態検知回路401と、上記各信号束に含まれるクロックCK1、CK2を入力とし、上記状態検知回路401による状



状態検知の結果に基づいて、該各入力クロックCK1、CK2のうちの1つのクロックを同期用クロックSCKとして選択するクロック選択回路402と、上記信号束毎に、該各信号束に含まれる複数の入力信号SIN-1、SIN-2に、上記各信号束間の状態検知結果に基づいた遅延を付加する遅延選択回路403、404と、上記遅延選択回路403、404からの出力信号SD11、DS21の各々を上記同期用クロックSCKに同期化させて出力するラッチ回路405、406とを備えたことより、従来のように入力信号SIN-1とSIN-2の反転をとる必要がないため、各入力信号の信号不確定期間と同期用クロックのエッジとの時間関係を考慮することなく、各入力信号SIN-1、SIN-2を同期用クロックSCKに同期化することができ、その結果、レイテンシを付けることなく各入力信号SIN-1、SIN-2に対し上記同期化を行い、さらに、同期をかけたいデータの重複期間がない場合であっても同期をかけることができる同期回路を簡単な構成で実現可能である。

【0063】

なお、上記各実施の形態において、入力信号に同期したプリアンプルパターンを検知した検知信号で行うようにすれば、同期すべきデータの位置関係を判断することができる。

【0064】

【発明の効果】

以上のように、本発明の請求項1に記載の同期回路によれば、入力信号、及び該入力信号の転送レートと周波数が等しいクロックを入力とし、該クロックと位相が無関係な上記入力信号を上記クロックに関して同期化を行う同期回路であって、上記入力信号の遷移点と上記クロックのエッジとの時間関係に応じて制御信号を出力する状態検知回路と、上記入力信号に、上記制御信号に基づいた遅延を付加する遅延選択回路と、上記遅延選択回路から出力された信号を上記クロックに同期させて出力するラッチ回路とを備えたことより、従来のように入力信号の反転をとる必要がなく、入力信号を入力クロックに同期化することができ、その結果、レイテンシを付加することなく上記同期化を行える同期回路を簡単な構成で実現可能である。

【0065】

また、本発明の請求項2に記載の同期回路によれば、入力信号、及び該入力信号の転送レートと周波数が等しいクロックを入力とし、該クロックと位相が無関係な上記入力信号を上記クロックに関して同期化を行う同期回路であって、上記入力信号の遷移点と上記クロックのエッジとの時間関係に応じて制御信号を出力する状態検知回路と、上記クロックに、上記制御信号に基づいた遅延を付加する遅延選択回路と、上記入力信号を上記遅延選択回路から出力されたクロックに同期させて出力するラッチ回路とを備えたことより、従来のように入力信号の反転をとる必要がなく、入力信号を入力クロックに同期化することができ、その結果、レイテンシを付加することなく上記同期化を行える同期回路を簡単な構成で実現可能である。

【0066】

また、本発明の請求項3に記載の同期回路によれば、複数の入力信号と、該複数の入力信号の転送レートと周波数が等しいクロックとを入力とし、互いに位相が無関係な上記複数の入力信号を上記クロックに関して同期化を行う同期回路であって、上記複数の入力信号の各々の遷移点の時間関係に応じて該各入力信号に関する制御信号を出力する状態検知回路と、上記複数の各入力信号に、上記各制御信号に基づいた遅延を付加する遅延選択回路と、上記遅延選択回路から出力された各信号を上記クロックに同期化させて出力するラッチ回路とを備えたことより、従来のように各入力信号の反転をとる必要がなく、各入力信号を入力クロックに同期化することができ、その結果、レイテンシを付加することなく上記同期化を行える同期回路を簡単な構成で実現可能である。

【0067】

また、本発明の請求項4に記載の同期回路によれば、互いに同期のとれた複数の入力信号と、該複数の入力信号の転送レートと周波数が等しい1本のクロックとを1組とする信号束を、複数入力し、互いに位相が無関係な上記複数の信号束に対して、該各信号束に含まれるクロックから選択された1本の同期用クロックを用いて、上記複数の各信号束に含まれる各複数の入力信号相互間の同期化を行う同期回路であって、上記各信号束に含まれる各複数の入力信号間の状態を検知



する状態検知回路と、上記各信号束に含まれるクロックを入力とし、上記状態検知回路による各信号束間の状態検知結果に基づいて、該各入力クロックのうちの1つのクロックを、同期用クロックとして選択するクロック選択回路と、上記信号束毎に、該各信号束に含まれる複数の入力信号に、上記各信号束間の状態検知結果に基づいた遅延を付加する遅延選択回路と、上記各信号束毎の遅延選択回路からの出力信号を、上記同期用クロックに同期化させて出力するラッチ回路とを備えたことより、各信号束に含まれる複数の入力信号の反転をとることなく、互いに非同期で入力された複数の信号束に対し同期をかけることができ、その結果、レイテンシが付加されない同期化を行う同期回路を簡単な構成で実現可能である。

【0068】

また、本発明の請求項5に記載の同期回路によれば、請求項4に記載の同期回路において、上記状態検知回路は、上記各信号束間の早遅関係を検知し、早遅検知信号を出力する早遅検知回路と、上記各信号束間の重複期間を検知し、重複検知信号を出力する重複検知回路とを備え、上記クロック選択回路は、上記早遅検知信号に基づいて上記各信号束のうち、入力が早いと検知された信号束のクロックを上記同期用クロックとして選択するものであり、上記遅延選択回路は、上記各信号束に含まれる複数の入力信号に、上記早遅検知信号、及び上記重複検知信号に基づいた遅延を付加するものとしたので、各信号束に含まれる同期をかけたデータの重複期間の有無に関わらず、複数の信号束に対して同期をかけることができる同期回路を簡単な構成で実現可能である。

【0069】

また、本発明の請求項6に記載の同期回路によれば、請求項1に記載の同期回路において、上記遅延選択回路は、上記入力信号に遅延を付加する遅延回路と、上記制御信号に基づいて、上記入力信号または上記遅延回路の出力信号のいずれかを選択する選択回路とを備えたことより、制御信号に基づいて入力信号に遅延を付加するので、従来のような入力信号の反転をする必要がなくなり、レイテンシの付加を防ぐことができる同期回路を実現可能である。

【0070】

また、本発明の請求項 7 に記載の同期回路によれば、請求項 2 に記載の同期回路において、上記遅延選択回路は、上記入力クロックに遅延を付加する遅延回路と、上記制御信号に基づいて、上記入力クロックまたは上記遅延回路の出力クロックのいずれかを選択する選択回路とを備えたことより、制御信号に基づいてクロックに遅延を付加して同期用クロックとし、入力信号の同期化に用いることができ、その結果、従来のような入力信号の反転をする必要がなくなり、レイテンシの付加を防ぐことができる同期回路を実現可能である。

【0071】

また、本発明の請求項 8 に記載の同期回路によれば、請求項 3 に記載の同期回路において、上記遅延選択回路は、上記各入力信号に遅延を付加する遅延回路と、上記各制御信号に基づいて、上記複数の各入力信号またはこれに対応する上記遅延回路の出力信号のいずれかを選択し出力する選択回路とを備えたことより、各制御信号に基づいて各入力信号に遅延を付加するので、従来のような入力信号の反転をする必要がなくなり、レイテンシの付加を防ぐことができる同期回路を実現可能である。

【0072】

また、本発明の請求項 9 に記載の同期回路によれば、請求項 1 ないし請求項 5 のいずれか 1 項に記載の同期回路において、上記状態検知回路は、上記入力信号と同期して入力されるプリアンプル検知信号により状態検知を行うものであることより、同期すべきデータの位置関係を判断することができる。

【図面の簡単な説明】

【図 1】

入力信号の波形図である。

【図 2】

実施の形態 1 による同期回路の構成を示すブロック図である。

【図 3】

実施の形態 1 による同期回路におけるタイミングチャート図である。

【図 4】

実施の形態 1 による同期回路におけるタイミングチャート図である。

【図 5】

状態検知回路の構成を示す図である。

【図 6】

実施の形態 2 による同期回路の構成を示すブロック図である。

【図 7】

実施の形態 2 による同期回路におけるタイミングチャート図である。

【図 8】

実施の形態 2 による同期回路におけるタイミングチャート図である。

【図 9】

実施の形態 3 による同期回路の構成を示すブロック図である。

【図 1 0】

実施の形態 4 による同期回路の構成を示すブロック図である。

【図 1 1】

実施の形態 4 による同期回路に入力する入力信号のタイミングチャート図である。

【図 1 2】

実施の形態 4 による同期回路の状態検知回路の構成を示す図である。

【図 1 3】

実施の形態 4 による同期回路の早遅検知回路の構成を示す図である。

【図 1 4】

実施の形態 4 による同期回路の重複検知回路の構成を示す図である。

【図 1 5】

実施の形態 4 による同期回路の遅延選択回路の構成を示す図である。

【図 1 6】

実施の形態 4 による同期回路に入力する入力信号のタイミングチャート図である。

【図 1 7】

従来の同期回路の構成を示すブロック図である。

【符号の説明】

- 101 遅延選択回路
- 102 状態検知回路
- 103、106 D型フリップフロップ
- 104、111 遅延回路
- 105 OR回路
- 112 選択回路
- 201 遅延選択回路
- 202 状態検知回路
- 203 D型フリップフロップ
- 211 遅延回路
- 212 選択回路
- 301、302 遅延選択回路
- 303 状態検知回路
- 304、305 D型フリップフロップ
- 311、321 遅延回路
- 312、322 選択回路
- 401 状態検知回路
- 402 クロック選択回路
- 403、404 遅延選択回路
- 405、406 D型フリップフロップ
- 407 早遅検知回路
- 408 重複検知回路
- 421、422 遅延回路
- 423、424、425 D型フリップフロップ
- 426、427、428 AND回路
- 429 XOR回路
- 431、432 D型フリップフロップ
- 433、434 選択回路
- 435 遅延回路

444、445 D型フリップフロップ

1、2、3 フリップフロップ

4 選択回路

5 インバータ

6 選択制御回路

SIN、SIN1、SIN2、SIN-1、SIN-2 入力信号

SCK 同期用クロック

Sxor OR回路105の出力信号

CK、CK1、CK2 入力クロック

nSCK 同期用クロックの反転

DSIN 遅延付加信号（遅延回路111の出力信号）

DSi 遅延回路104の出力信号

DCK 遅延付加クロック（遅延回路211の出力クロック）

CTL、CTL1、CTL2 制御信号

Ov1、Ov2、So1、So2 重複検知回路の出力信号

Fa1、Fa2 早遅検知回路の出力信号

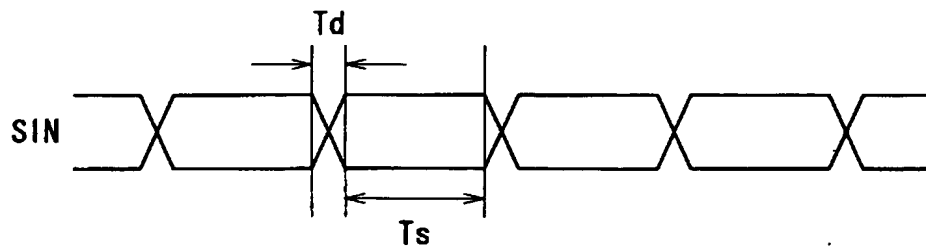
Ki1、Ki2 リセット信号

SOUT、SOUT1、SOUT2、SOUT11、SOUT21 同期回路の
出力信号

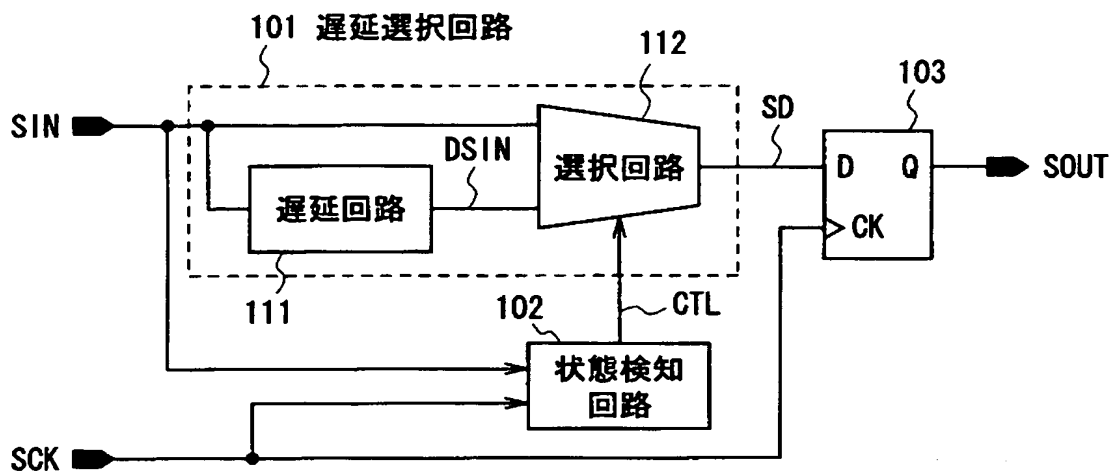
SD、SD1、SD2、SD11、SD21 選択回路の出力信号

【書類名】 図面

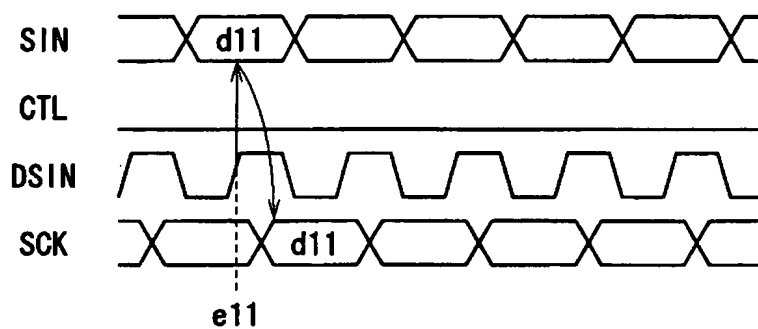
【図 1】



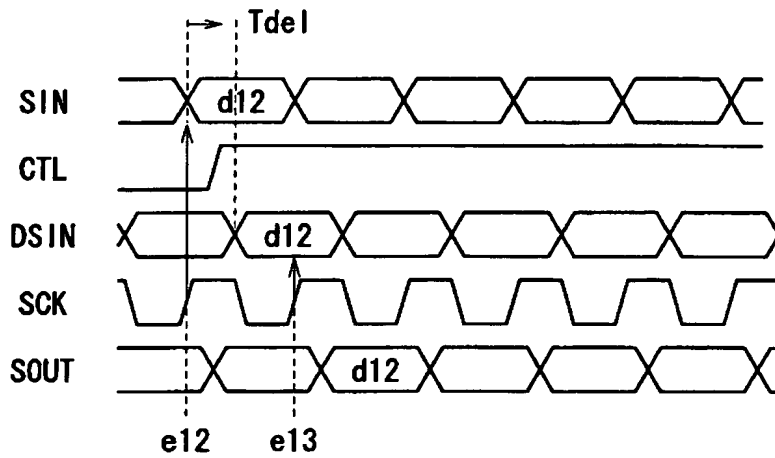
【図 2】



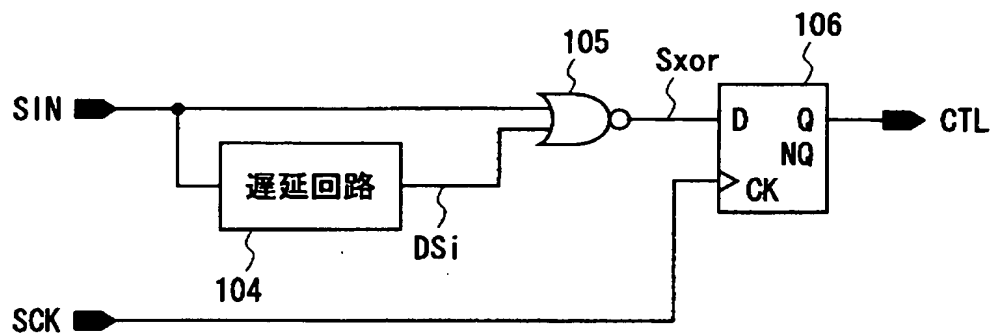
【図 3】



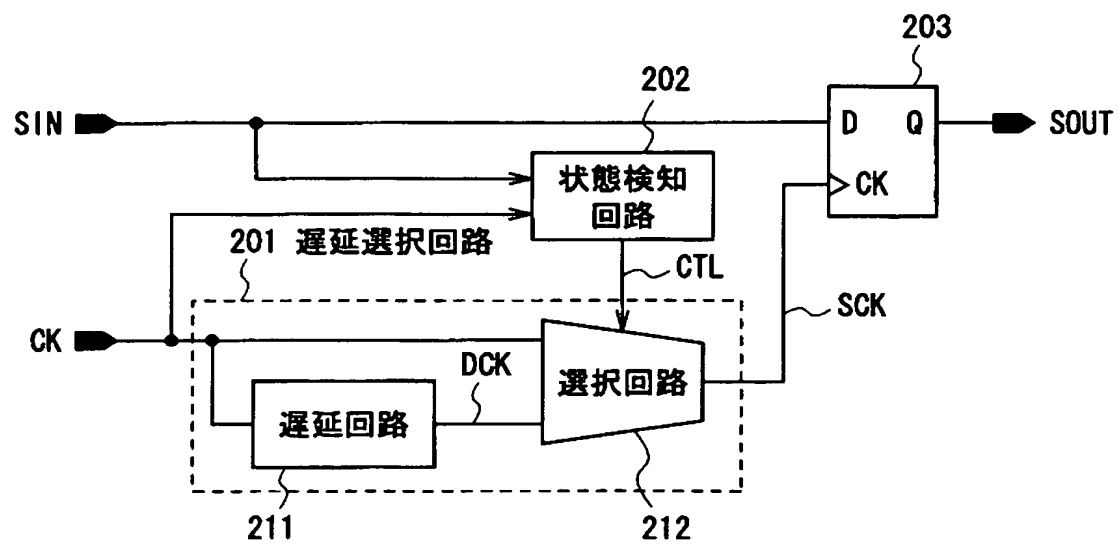
【図 4】



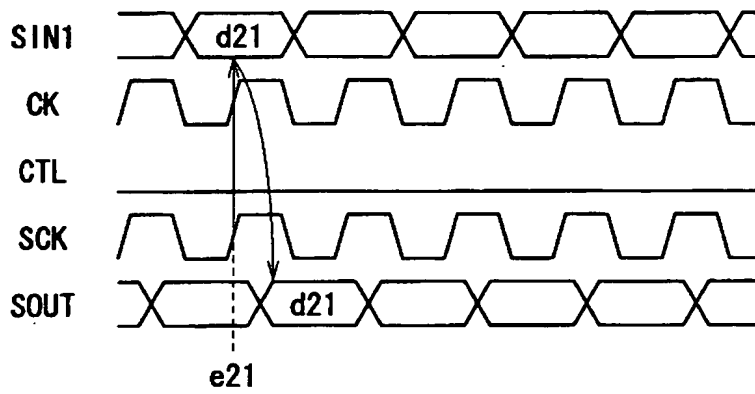
【図 5】



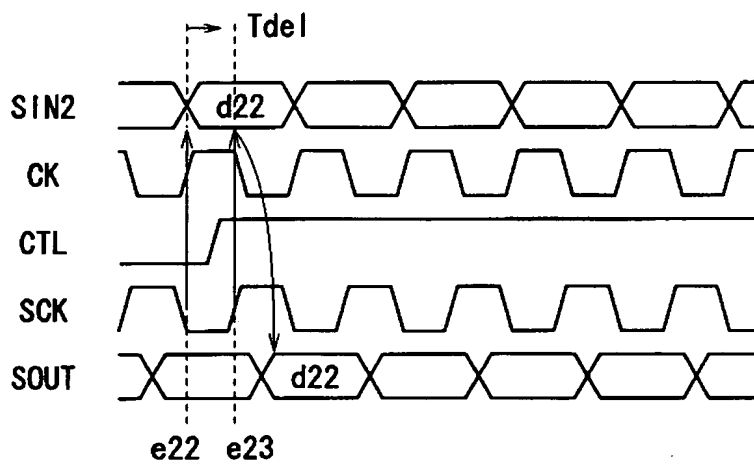
【図 6】



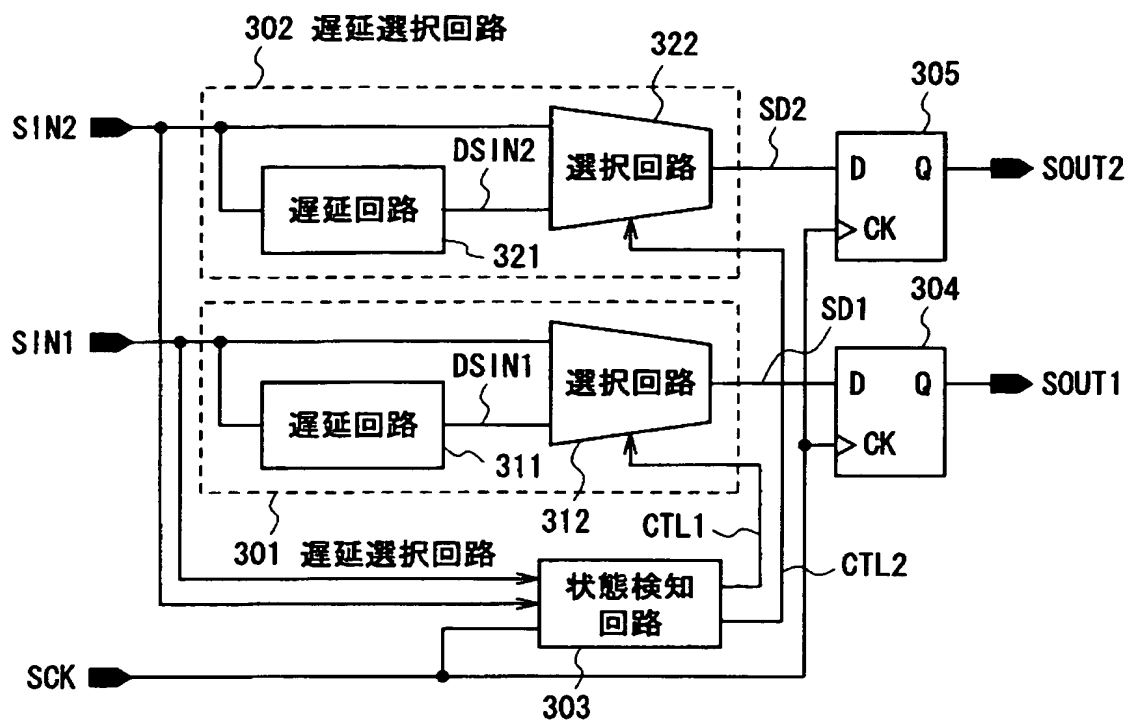
【図 7】



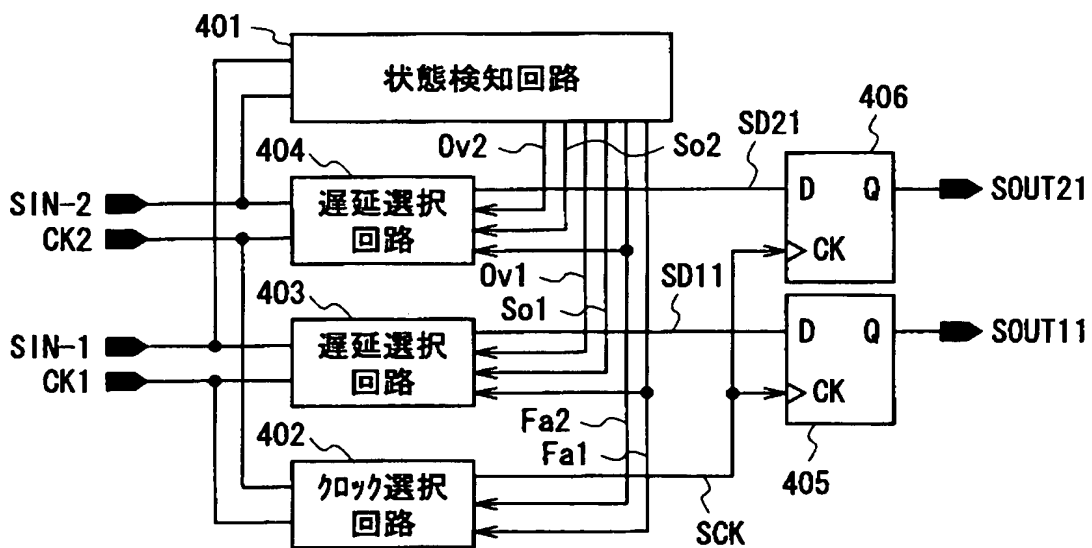
【図 8】



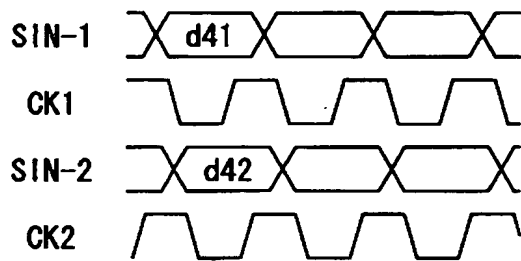
【図 9】



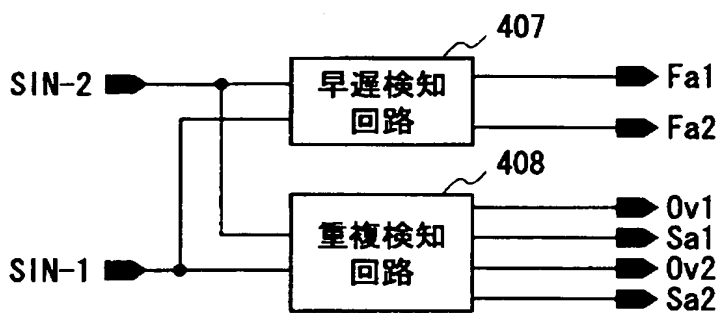
【図 10】



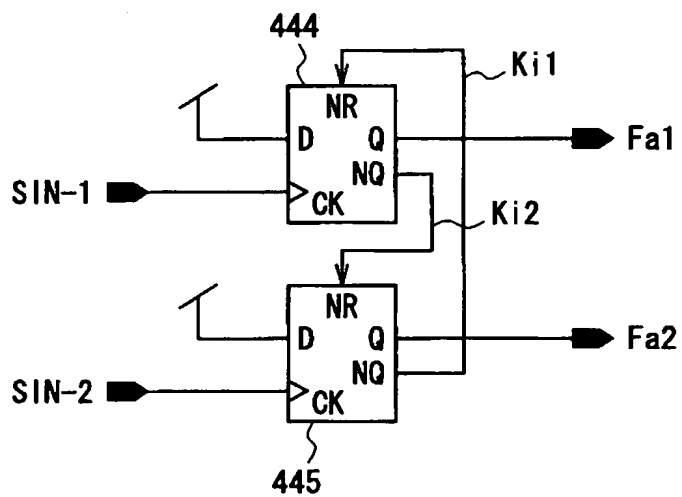
【図 1 1】



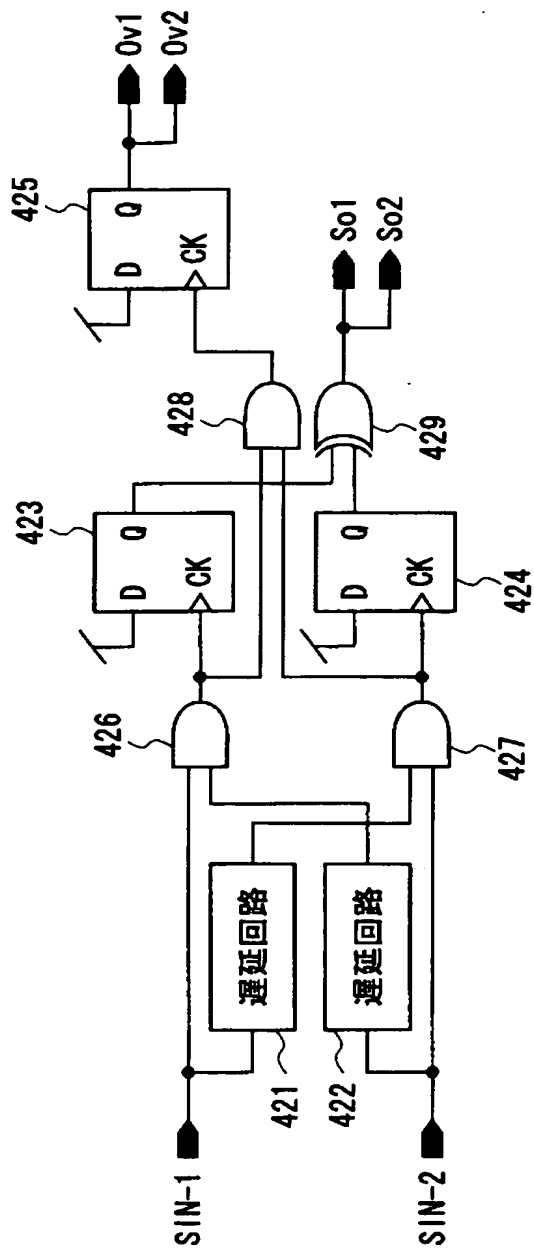
【図 1 2】



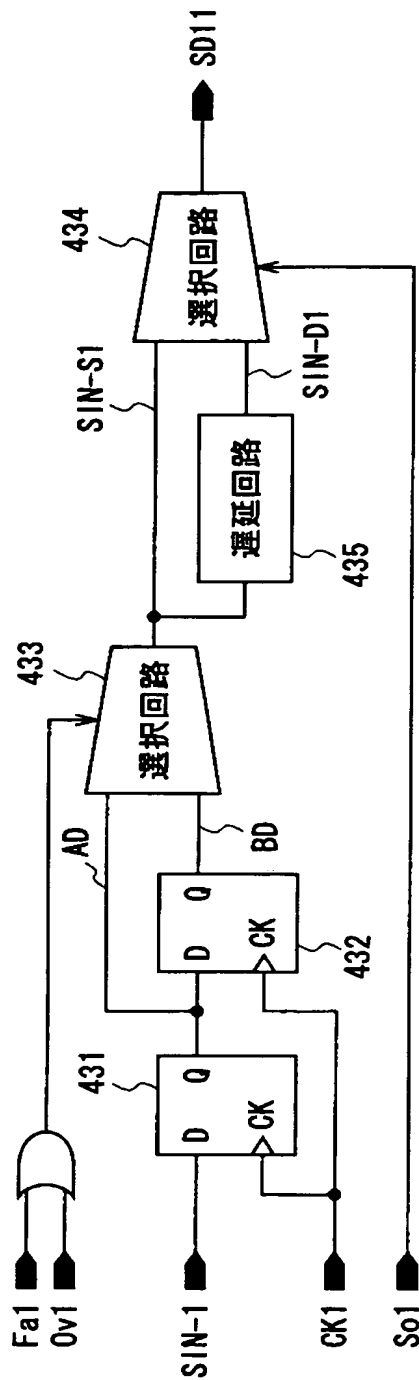
【図 1 3】



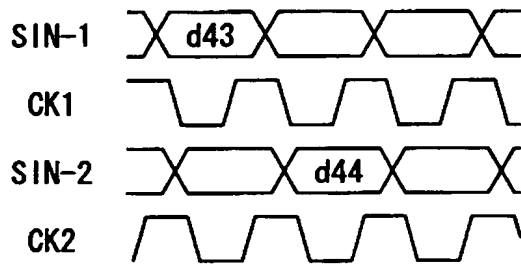
【図 14】



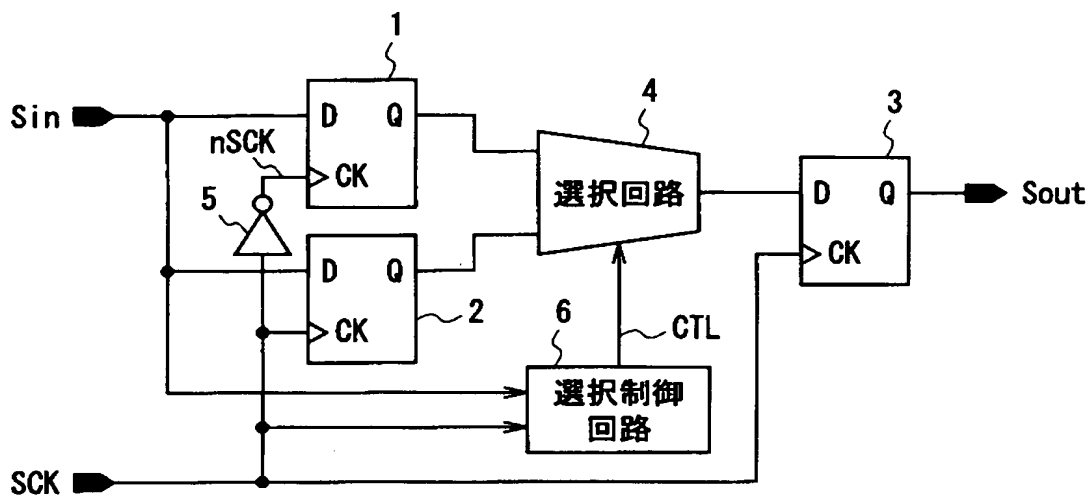
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 簡単な構成で、レイテンシを付加することなく入力信号の同期化を行うことができる同期回路を提供する。

【解決手段】 入力信号 S I N の遷移点と同期用クロック S C K のエッジとの時間関係に応じて制御信号 C T L を出力する状態検知回路 1 0 2 と、上記入力信号 S I N に、上記制御信号 C T L に基づいた遅延を付加する遅延選択回路 1 0 1 と、上記遅延選択回路 1 0 1 から出力された信号 S D を上記同期用クロック S C K に同期させて出力するラッチ回路 1 0 3 とを備えた。

【選択図】 図 2

特願 2002-283619

出願人履歴情報

識別番号

[000005821]

1. 変更年月日
[変更理由]

1990年 8月28日
新規登録

住 所
氏 名

大阪府門真市大字門真1006番地
松下電器産業株式会社